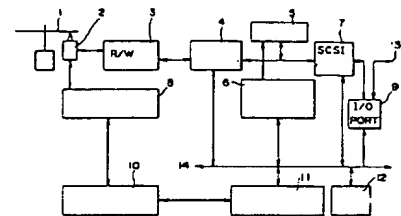


(54) DISK CONTROLLER

(11) 5-303539 (A) (43) 16.11.1993 () JP
 (21) Appl. No. 4-107075 (22) 24.4.1992
 (71) NEC CORP (72) KOJI TOMIMITSU
 (51) Int. Cl.⁵ G06F13/10, G06F3/06, G11B20/18

PURPOSE: To improve the reliability of the disk controller which has an SCSI controller as a communication means for a host device by providing a self-diagnosing function for the SCSI controller.

CONSTITUTION: An I/O-PORT 9 can interrupt a SCSI communication between a SCSI control circuit 7 and the host device regardless of transmitting operation and receiving operation. A system controller 11 transfers test data from a main memory 12 to a buffer memory 5 through the SCSI control circuit 7 when the SCSI communication is interrupted and compares the data transferred to the buffer memory 5 with the test data in the main memory 12 to diagnose the SCSI control circuit 7.



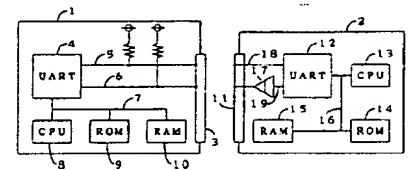
3: R/W amplifier, 4: format control circuit, 6: buffer memory control circuit, 8: servo control circuit, 10: drive controller

(54) INFORMATION PROCESSOR

(11) 5-303540 (A) (43) 16.11.1993 (19) JP
 (21) Appl. No. 4-129793 (22) 24.4.1992
 (71) FUJI XEROX CO LTD (72) TAKENORI OBARA
 (51) Int. Cl.⁵ G06F13/14, G06F3/00, G06F11/30, G06F13/42

PURPOSE: To judge whether or not a slave substrate is mounted on a master substrate by using a small number of signal lines.

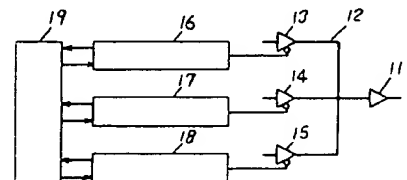
CONSTITUTION: The master substrate 1 and slave substrate 2 are provided with UARTs 4 and 12, and identification information showing the kind of the slave substrate is set in ROMs 9 and 14 of the respective substrates. This identification information is sent out of the master substrate 1 as a recognition command. The slave substrate 2 receives the recognition command and sends identification information showing its kind back to the master substrate. The master substrate 1 checks a coincidence between the sent-out recognition command and received identification information to detect whether or not the slave substrate is mounted. Further, the slave substrate 2 compares the recognition command with its identification information and can send its identification information out only when the both match each other. The identification information can be transmitted in series, so the number of signal lines can be decreased.

**(54) DIGITAL IC DRIVING DEVICE**

(11) 5-303541 (A) (43) 16.11.1993 (19) JP
 (21) Appl. No. 4-109645 (22) 28.4.1992
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) MIKA HINO(1)
 (51) Int. Cl.⁵ G06F13/362, H03K19/0175

PURPOSE: To drive a MOS type digital IC with simple constitution while securely preventing the MOS type digital IC from deteriorating or breaking.

CONSTITUTION: The digital IC 11 is driven by controlling the outputs of plural voltage driving elements 13-15 by an output control part 16 with a timer and output control parts 17 and 18 respectively. The output control part 16 with the timer acquires a bus 12 at constant intervals of time, so the control part is periodically driven by the voltage driving element 13 to prevent its voltage from dropping to a float voltage. Consequently, the digital IC driving device of simple constitution which evades the float state of the digital IC 11, suppresses a through current, and prevents its deterioration and breakage is provided.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-303540

(43)公開日 平成 5 年(1993)11月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/14	3 3 0 D	8133-5B		
3/00	A	7165-5B		
11/30	3 0 5 E	9290-5B		
13/42	3 1 0	8840-5B		

審査請求 未請求 請求項の数 3 (全 9 頁)

(21)出願番号	特願平4-129793	(71)出願人	000005496 富士ゼロックス株式会社 東京都港区赤坂三丁目 3 番 5 号
(22)出願日	平成 4 年(1992) 4 月24日	(72)発明者	小原 丈典 埼玉県岩槻市府内 3 丁目 7 番 1 号 富士ゼ ロックス株式会社岩槻事業所内
		(74)代理人	弁理士 平木 道人 (外 1 名)

(54)【発明の名称】 情報処理装置

(57)【要約】

【目的】 親基板に対する子基板の実装有無を少ない信号線を用いて判断できるようにする。

【構成】 親基板 1 および子基板 2 に U A R T 4 , 1 2 を設け、各基板の R O M 9 , 1 4 には子基板の種類を示す識別情報を設定しておく。この識別情報を認識コマンドとして親基板 1 から送出する。認識コマンドを受信した子基板 2 は自己の種類を示す識別情報を親基板に返す。親基板 1 では、送出したに認識コマンドと受信した識別情報との一致をチェックし、子基板の実装有無を検知する。なお、子基板 2 において認識コマンドと自己の識別情報を比較し、両者が一致した場合のみ、自己の識別情報を送出するようにすることもできる。上記識別情報の伝送はシリアルで行えるので、信号線の本数を少なくできる。

【特許請求の範囲】

【請求項1】 スロットを介して親基板および子基板が接続される情報処理装置において、子基板の種類を示す認識コマンドを子基板に送出する手段と、前記認識コマンドに応答して子基板から送出される識別子を検出して子基板の実装の有無を判断する手段とを親基板側に設け、子基板側には、親基板から送出された認識コマンドを検出して自己の識別子を親基板に送出する手段を設けると共に、前記認識コマンドおよび識別子の送受信のためのシリアルインタフェースを親基板および子基板の双方に設けたことを特徴とする情報処理装置。

【請求項2】 前記子基板に設けられた自己の識別子を親基板に送出する手段は、親基板から受信した認識コマンドと自己の識別子とが一致した場合に自己の識別子を送出するように構成されていることを特徴とする請求項1記載の情報処理装置。

【請求項3】 スロットを介して親基板および複数の子基板が接続される情報処理装置において、子基板を接続するためのスロットの予定ビットにスロット識別情報を設定する手段と、スロット識別コマンドを子基板に送出する手段と、前記スロット識別コマンドに応答して子基板から送出される識別子を検出して子基板の実装の有無を判断する手段とを親基板側に設け、子基板側には、自己が接続されたスロットのスロット識別情報を読取って記憶する手段と、親基板から送出されたスロット識別コマンドと記憶した前記スロット識別情報との一致を検出する手段と、前記スロット識別コマンドおよびスロット識別情報が一致していた場合に自己の識別子を親基板に送出する手段とを設けると共に、前記認識コマンドおよび識別子の送受信のためのシリアルインタフェースを親基板および子基板の双方に設けたことを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は情報処理装置に関するものであり、特に、CPUを有する親基板と、この親基板に対して着脱自在な子基板とから構成される情報処理装置において、前記子基板の実装の有無を判別できる手段を有する情報処理装置に関する。

【0002】

【従来の技術】CPUを搭載した親基板と、この親基板に対して着脱自在な子基板とから構成される情報処理装置において、前記子基板が実装されているか否かを検出できる手段を備えた装置がいくつか提案されている。

【0003】まず、特開平2-193217号公報に記載された画像記録装置（従来装置1）では、CPUのメモリの一部が子基板に設けられ、このメモリには子基板の種類を示す情報が格納されている。親基板のCPUは前記メモリを制御して子基板のメモリ内容を読取り、その結果によって子基板の実装の有無および実装されている子基板の種類を判断するようにしている。この画像記録装置ではまた、子基板内で信号線を接地すると共に、親基板には、前記信号線に対応する信号線をプルアップしたI/Oポートを設け、親基板のCPUは前記I/Oポートを通して前記信号線を監視することにより、子基板の種類および実装の有無を判断するようにしている。

【0004】また、特開昭60-203054号公報には、3ステート入出力ポートの出力ゲートがハイインピーダンスか否かによって被制御基板すなわち子基板が実装されているか否かを検出する装置（従来装置2）が記載されている。

【0005】

【発明が解決しようとする課題】上記の従来装置では次のような問題点があった。上記の従来装置1では、子基板に設けられたメモリと親基板のCPU間でデータ通信を行うためのバスが必要になるという問題点があるほか、子基板を接続するスロットが単一の場合しか考慮されておらず、複数のどのスロットにどの種類の子基板が実装されているかを検知することはできないという問題点があった。

【0006】また、従来装置2では、親基板および子基板間の接続部分に子基板の枚数分の専用線が必要となるという問題点があった。

【0007】本発明の目的は、上記の問題点を解消し、実装される子基板の枚数が多い場合でも、少ない本数の信号線によるデータ授受で子基板の実装の有無を判断できる情報処理装置を提供することにある。

【0008】

【課題を解決するための手段】上記の課題を解決し、目的を達成するための本発明は、子基板の種類を示す認識コマンドを子基板に送出する手段と、前記認識コマンドに応答して子基板から送出される識別子を検出して子基板の実装の有無を判断する手段とを親基板側に設け、子基板側には親基板から送出された認識コマンドを検出して自己の識別子を親基板に送出する手段とを設けると共に、前記認識コマンドおよび識別子の送受信のためのシリアルインタフェースを親基板および子基板の双方に設けた点に第1の特徴がある。

【0009】また本発明は、子基板を接続するためのスロットの予定ビットにスロット識別情報を設定する手段と、スロットに対応したスロット識別コマンドを子基板に送出する手段と、前記スロット識別コマンドに応答して子基板から送出される識別子を検出して子基板の実装の有無を判断する手段とを親基板側に設け、子基板側には

自己が接続されたスロットのスロット識別情報を読取って記憶する手段と、自己の種類を示す識別子と、親基板から送出されたスロット識別コマンドと記憶した前記スロット識別情報との一致を検出する手段と、前記スロット識別コマンドおよびスロット識別情報が一致していた場合に自己の識別子を親基板に送出する手段とを設けると共に、前記認識コマンドおよび識別子の送受信のためのシリアルインタフェースを親基板および子基板の双方に設けた点に第2の特徴がある。

【0010】

【作用】上記の特徴を有する本発明によれば、親基板および子基板に設けられたシリアルインタフェース間を接続する1対の送受信信号線によって、識別子、認識コマンド、スロット識別情報、スロット識別コマンドなどの情報を伝送できる。したがって、スロットが多数設けられている場合であっても、この1対の信号線のみで子基板実装有無を検知することができる。

【0011】また、第2の特徴を有する本発明では、各スロット毎に子基板の実装有無および実装されている子基板の種類を検知することができる。

【0012】

【実施例】以下、図面を参照して本発明の実施例を説明する。図1は本発明の第1実施例であり、親基板およびこの親基板に接続される子基板の回路図である。同図において、親基板1は、子基板2との接続のためのスロット3を有している。このスロット3の予定ビットは、送信信号線5および受信信号線6を介してシリアルインタフェースとしてのUART4に接続されている。該送信信号線5および受信信号線6は電源にプルアップされている。UART4はバス7を介してCPU8、ROM9、RAM10と接続される。

【0013】同様に、子基板2にも、UART12が設けられ、UART12はバス16を介してCPU13、ROM14、RAM15と接続される。また、前記コネクタ11の、前記送信信号線5および受信信号線6に対応するビットは受信信号線18および送信信号線19によってUART12と結合されている。なお、UART12からの出力はオープンコレクタ接合17によってコネクタ11に接続されている。

【0014】親基板1のROM9には子基板2の種類を示す認識コマンドが記憶され、子基板2のROM14には自己の種類を示す識別子が格納されている。この認識コマンドおよび識別子は例えば8ビットのデータによって表わされる。

【0015】上記の構成による本実施例の動作を図2、図3のフローチャートを参照して説明する。まず、図2によって親基板1の動作を説明する。同図において、ステップS1ではCPU8を初期化する。ステップS2ではROM9から認識コマンドを読み出し、UART4の送出バッファにセットする。ステップS3ではUART4

から前記認識コマンドを送出する。なお、この際、スタートコマンドやエンドコマンドならびにスタートビット、パリティビット、ストップビット等が所定のフォーマットで送出されるのはもちろんである。

【0016】ステップS4では子基板2からのデータを受信したか否かを判断する。この判断が肯定の場合はステップS5に進み、受信データをパラレルデータに変換してCPU8へ転送する。

【0017】ステップS6では、前記受信データと前記認識コマンドとの一致を比較する。ステップS6の判断が肯定の場合はステップS7に進み、実装有りを記憶するためフラグに“1”をセットする。またステップS6の判断が否定の場合はステップS8に進み、実装無しを記憶するためフラグに“0”をセットする。このフラグの状態に基づいて表示を行ったり警報を発したりするなどの処置を行えばよい。

【0018】また、前記ステップS4の判断が否定の場合は、ステップS9に進み、予定時間を超過したか否かを判断する。予定時間を超過するまではステップS4の判断を行い、予定時間内にデータが受信されなければステップS9の判断が肯定となってステップS8に進む。

【0019】続いて、図3を参照して子基板の動作を説明する。同図において、ステップS10ではCPU13を初期化する。ステップS11では、親基板1から認識コマンドを受信したか否かを判断する。認識コマンドが検出された場合は、ステップS12に進んで自己の識別子をUART12の送出バッファにセットする。ステップS13ではUART12から前記識別子を送出する。

【0020】このように、子基板2では、認識コマンドを検出したならば自己の基板種類を示す識別子を親基板1に送出し、親基板1はこの識別子が認識コマンドと一致していたならば予定の子基板が実装されていると判断し、その結果を記憶するようにしている。

【0021】なお、図2、3に示した処理に代えて、次のように処理をしてもよい。すなわち、子基板2において、親基板1から受信した認識コマンドと自己の識別子との一致をチェックし、両者が一致した場合に親基板1に対して識別子を送出するようにする。両者が一致しない場合は識別子を送出しない。この場合には、親基板1における受信データと認識コマンドとを比較するための処理（前記ステップS6）は不要であり、単にデータの受信があったか否かによって子基板2の実装有無を検知できる。

【0022】さらに、親基板1に接続される子基板2の種類が多い場合に、どの種類の子基板が実装されているかを検知するには、親基板1に予定されているすべての種類の子基板に対応する認識コマンドを記憶しておき、この認識コマンドと受信データとを順に比較してその一致をチェックすればよい。

【0023】また、子基板2において、受信した認識コ

マンドと識別子との一致をチェックするようにした場合、親基板1から複数の認識コマンドを順に送出するようにする。

【0024】次に、第2実施例について説明する。この第2実施例では、親基板に対し、種類が互いに異なる複数の子基板が接続される場合を考える。

【0025】図4は、第2実施例を示す親基板および複数のスロットが設けられた中継基板の回路図であり、図1と同符号は同一または同等部分を示す。同図において、中継基板20は複数のスロット#1、#2、#3を有し、これらのスロット#1～#3には図1に示したのと同じ構成をとる子基板2がそれぞれ接続される。子基板2は図1と同一の構成をとるため、図示は省略してある。前記スロット#1～#3の予定ビットは、信号線5、6により、親基板1のスロットを介してUART4のデータ送出端子および受信端子に接続される。

【0026】上記の構成によって、親基板1は第1実施例と同様、認識コマンドを送出し、それに応答して子基板2から送出された識別子を検出し、子基板2の有無を判断する。この第2実施例においては、親基板1は子基板2の種類を示すすべての識別コマンドを順に送出する。そして、子基板2では、この識別コマンドと自己の識別子との一致をチェックし、両者が一致した子基板2から親基板1に対して識別子が送出される。

【0027】このように第2実施例では、スロット#1～#3に実装されている子基板の種類を認識できる。なお、この実施例では各スロット#1～#3にはそれぞれ互いに異なる種類の子基板2が接続されることを前提としている。

【0028】続いて、本発明の第3実施例を説明する。ここでは、複数のスロットのどれに、どのような種類の子基板が実装されているかを検知できるようにした。図5は、第3実施例を示す親基板および複数のスロットが設けられた中継基板ならびに子基板の回路図であり、図4と同符号は同一または同等部分を示す。

【0029】同図において、中継基板20に設けられたスロット#1～#3の2つの予定ビットをグランドまたは電源に接続することによって、各スロットを特定するスロット識別情報（スロットアドレス）をセットしている。すなわち、スロット#1のスロットアドレスとしては“00”、スロット#2のスロットアドレスとしては“01”、スロット#3のスロットアドレスとしては“10”をそれぞれ設定している。そして、親基板1のROM9には、前記スロットアドレスが記憶されている。

【0030】一方、子基板2においては、前記スロットアドレスが設定されたビットに対応するコネクタ11のビットにスロットアドレス認識回路21が接続されている。

【0031】このように構成された第3実施例の動作を

図6のフローチャートを参照して説明する。図6において、ステップS20では、親基板1のCPU8を初期化する。ステップS21では記憶されているスロットアドレスの1つをROM9から読み出し、UART4の送出バッファにセットする。ステップS22ではUART4から前記スロットアドレスを送出する。

【0032】ステップS23では、子基板2からのデータを受信したか否かを判断する。この判断が肯定の場合はステップS24に進み、受信データをパラレルデータに変換してCPU8へ転送する。

【0033】ステップS25では、前記受信データが、ROM9に記憶されている子基板の種類毎の識別子のどれに一致しているかを検出する。受信データと識別子との一致を検出したならばステップS26に進み、該識別子を有する子基板が実装されていることをRAM10内の所定の記憶領域にスロット番号（#1～#3）に対応させて格納する。

【0034】ステップS27では、記憶されているすべてのスロットアドレスを送出したか否かを判断する。この判断が肯定の場合は処理を終了する。一方、この判断が否定の場合は、スロットアドレスを読み出すためのアドレスカウンタを更新してステップS21に戻る。

【0035】なお、ステップS23の判断が否定の場合は、ステップS28に進んで予定の待機時間が経過したか否かを判断する。待機時間が経過したにもかかわらず受信データが検知されない場合は、ステップS29に進み、子基板の実装無しを該当スロット番号に対応させて記憶する。

【0036】次に、子基板2側の動作を図7のフローチャートを参照して説明する。図7において、ステップS30ではCPU13を初期化する。ステップS31では、自己が接続されているスロットのスロットアドレスすなわち、スロットに接続された電位を読み込む。

【0037】ステップS32では、親基板1からスロットアドレスを受信したか否かを判断する。スロットアドレスが検出された場合は、ステップS33に進み、ステップS31で読込んだスロットアドレスと親基板から受信したスロットアドレスとが一致するか否かを判断する。

【0038】ステップS33の判断が肯定の場合は、自己の識別子をUART12の送出バッファにセットする。ステップS34ではUART12から前記識別子を送出する。

【0039】こうして第3実施例では、親基板1から送出したスロットアドレスで示されるスロットに接続されている子基板2からその識別子が送出される。また、親基板1から送出したスロットアドレスに該当するスロットに子基板2が接続されていない場合は、子基板2から識別子が送出されないため、この無応答によって子基板2が接続されていないことを検知できる。したがって、

親基板 1 では、各スロットに子基板が接続されているか否かを検知でき、さらに接続されている場合に、どの種類の子基板が接続されているかを検知できる。

【 0 0 4 0 】

【発明の効果】以上の説明から明らかなように、本発明によれば、親基板と子基板に設定されている識別情報の一致・不一致に基づいて子基板の実装の有無および実装されている子基板の種類等を検知できる。特に、子基板を接続するためのスロットが多い場合にも、各スロット毎に子基板の実装状態を検知できる。

【0041】また、前記識別情報は、シリアルインタフェースを介して伝送するようにしているので、少ない信号線によって子基板の実装状態を判断できる。さらに、この信号線の本数は、親基板に接続される子基板の枚数が多い場合でも2本のみですみ、構成が簡単になる。

【図面の簡単な説明】

【図1】 本発明の第1実施例を示す親基板および子基*

* 板の回路図である。

【図2】 第1実施例の動作を示す親基板側のフローチャートである。

【図3】 第1実施例の動作を示す子基板側のフローチャートである。

【図４】 本発明の第２実施例を示す親基板の回路図である。

【図5】 本発明の第3実施例を示す親基板および子基板の回路図である。

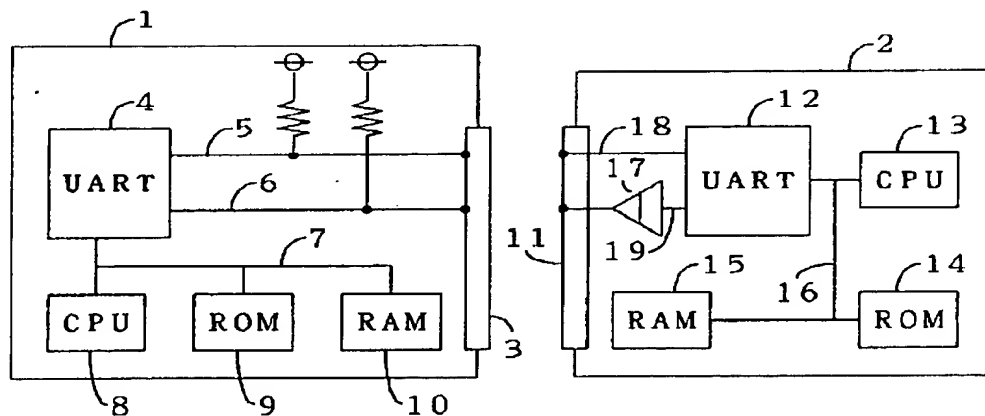
10 【図6】 第3実施例の動作を示す親基板側のフローチャートである。

【図7】 第3実施例の動作を示す子基板側のフローチャートである。

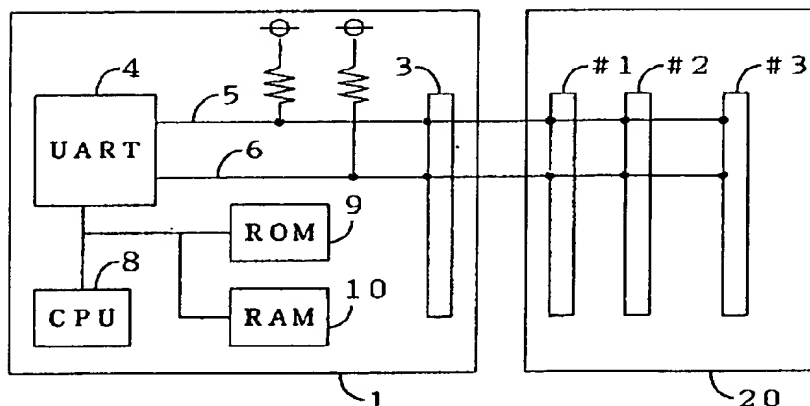
【符号の説明】

1…親基板、 2…子基板、 3…スロット、 4, 1
2…UART、 5, 19…送信信号線、 6, 18…
受信信号線

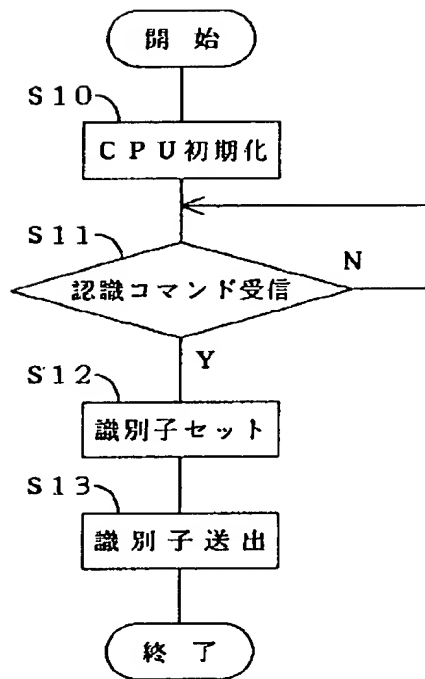
【図 1】



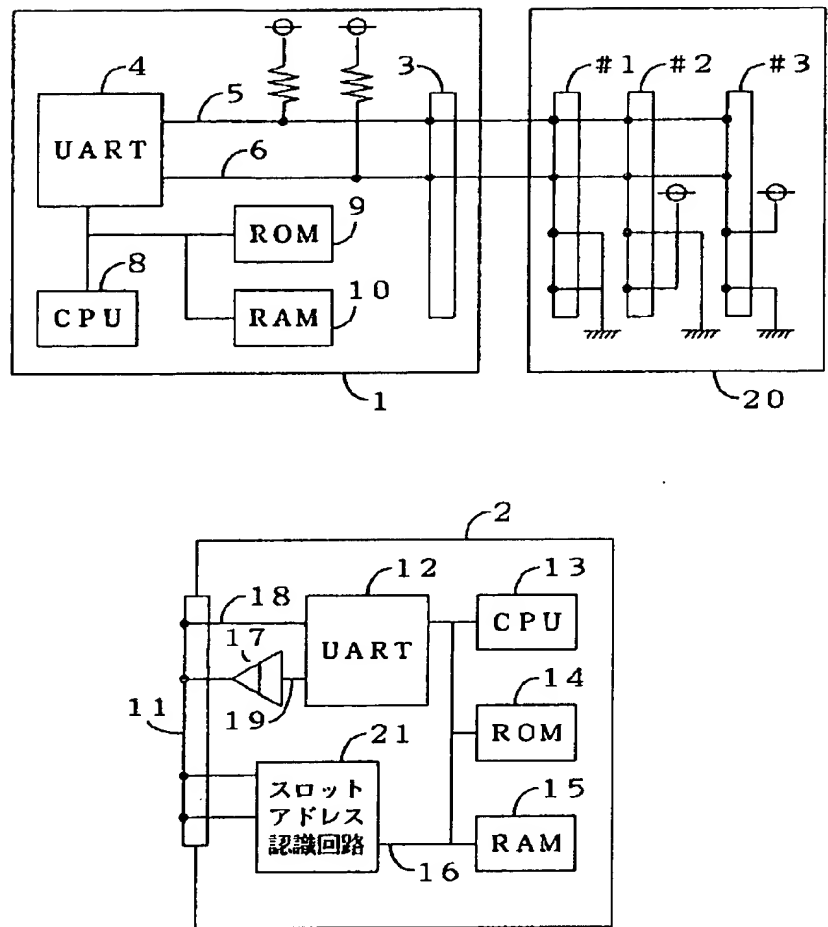
【图 4】



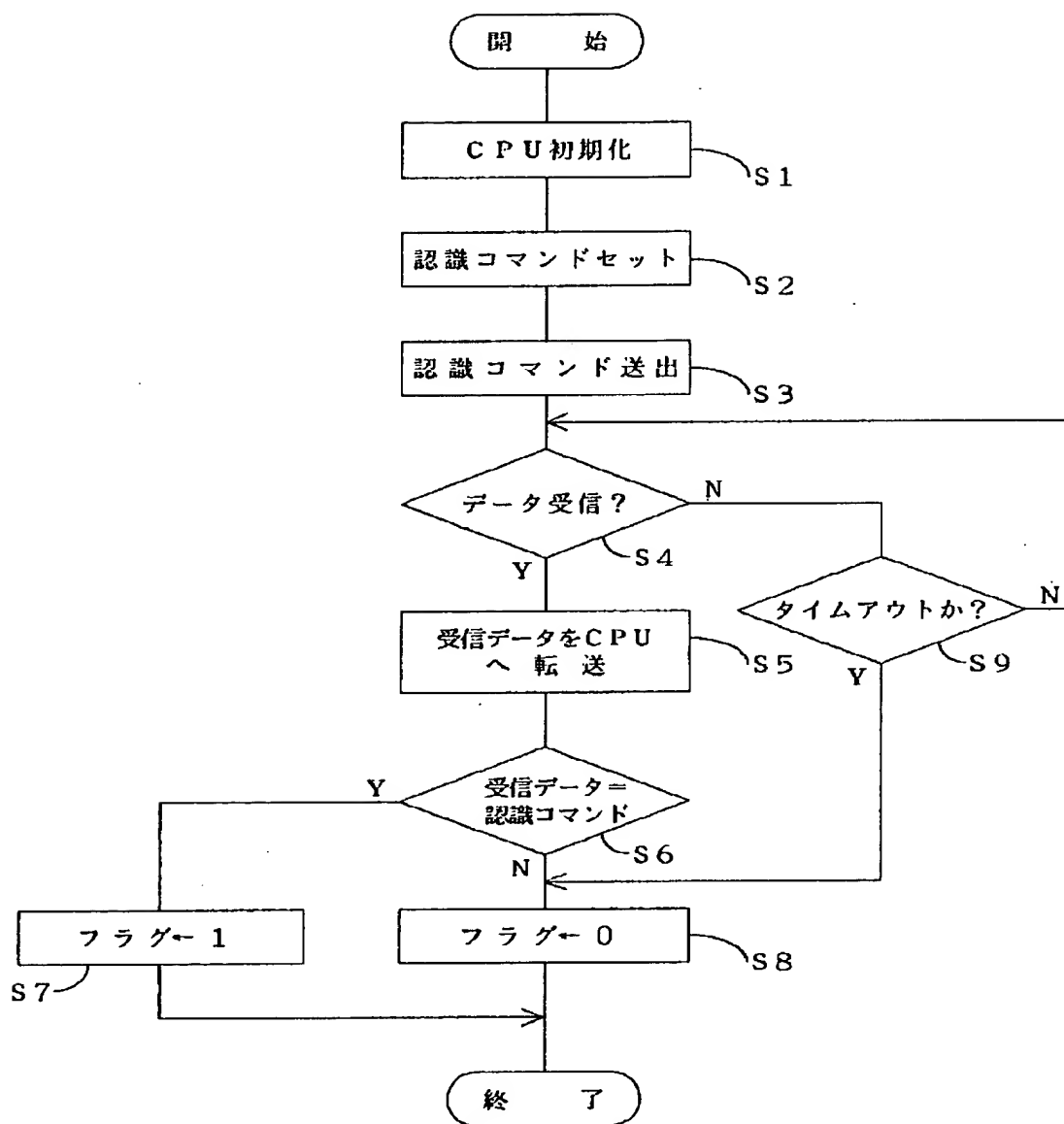
【図3】



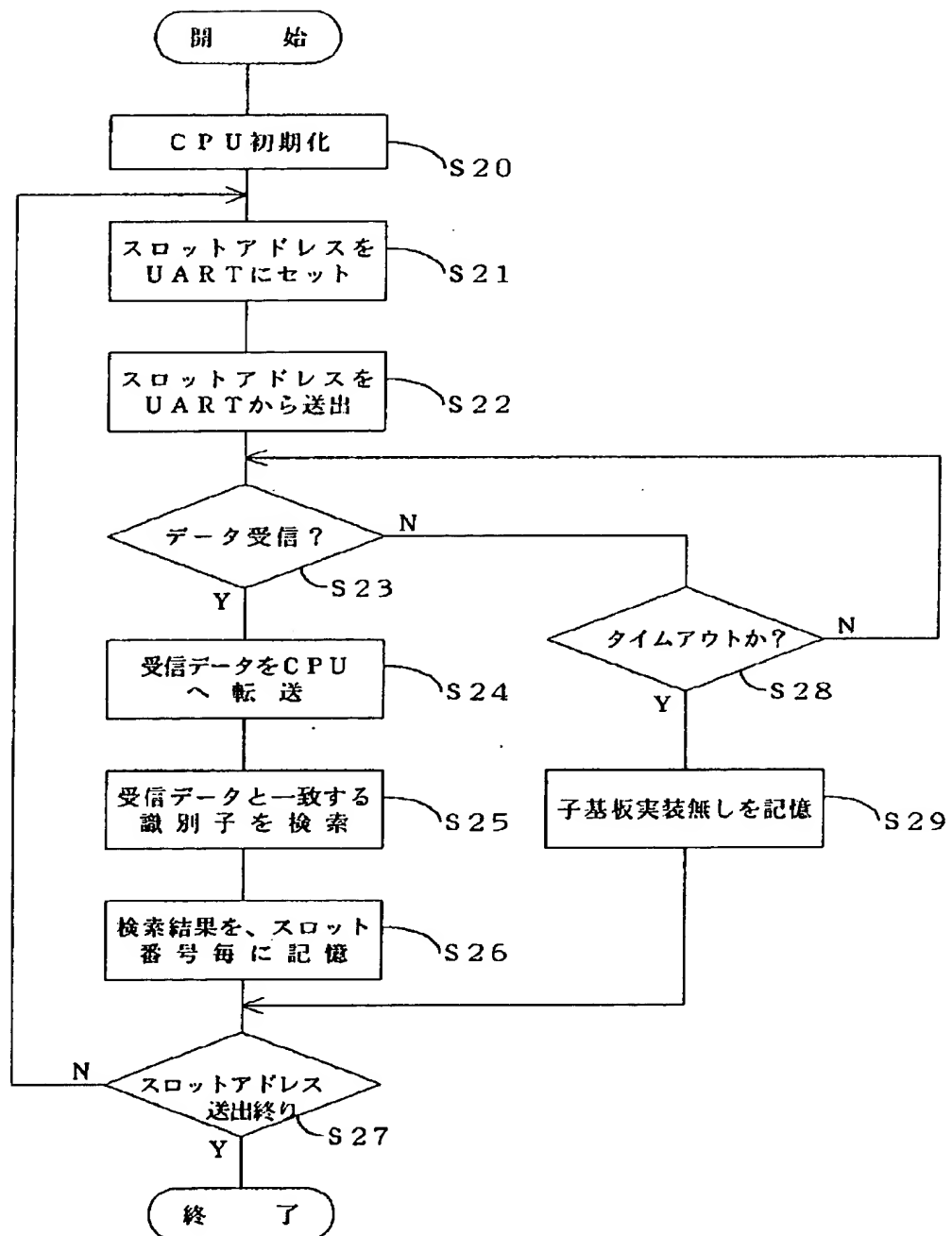
【図5】



【図2】



【図6】



【図7】

